

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hirofumi KAWAI

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING A SEMICONDUCTOR
DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

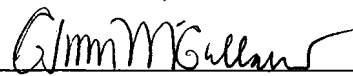
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-236930	August 15, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月15日

出 願 番 号

Application Number:

特願2002-236930

[ST.10/C]:

[JP2002-236930]

出 願 人

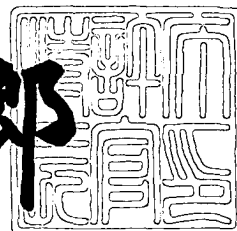
Applicant(s):

株式会社東芝

2003年 5月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3040820

【書類名】 特許願

【整理番号】 13756801

【提出日】 平成14年 8月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/302

【発明の名称】 半導体装置および半導体装置の製造方法

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 川 井 博 文

【特許出願人】

【識別番号】 000003078

【住所又は居所】 東京都港区芝浦一丁目1番1号

【氏名又は名称】 株式会社 東 芝

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】

第 1 の種類の半導体材料からなるコレクタ層と、

前記コレクタ層に接し前記第 1 の種類の半導体材料からなる第 1 のベース部分および前記第 1 のベース部分に接し第 2 の種類の半導体材料からなる第 2 のベース部分を含むベース層と、

前記ベース層に接し前記第 1 の種類の半導体材料からなり、該ベース層とヘテロ接合を形成するエミッタ層とを備えた半導体装置。

【請求項 2】

前記ベース層、前記エミッタ層および前記コレクタ層を有するバイポーラ・トランジスタと、

該バイポーラ・トランジスタと同一チップ上に形成された M I S トランジスタとを備えたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 の種類の半導体材料はシリコンであり、

前記第 2 の種類の半導体材料はシリコンゲルマニウムであることを特徴とする請求項 1 または請求項 2 のいずれかに記載の半導体装置。

【請求項 4】

前記第 1 のベース部分の膜厚は、前記ベース層、前記エミッタ層および前記コレクタ層を有するバイポーラ・トランジスタが非飽和動作状態のときに前記コレクタ層と前記ベース層との接合部から延びる空乏層が前記第 2 のベース層に到達しないように設定されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

半導体基板上にコレクタ用不純物を含む第 1 の種類の半導体材料から成る第 1 の層を形成する第 1 の層形成ステップと、

不純物を含まない第 1 の種類の半導体材料からなる第 2 の層、不純物を含まない第 2 の種類の半導体材料からなる第 3 の層およびベース用不純物を含む第 2 の

種類の半導体材料から成る第4の層、前記第1の層上に形成する第2から第4の層形成ステップと、

エミッタ用不純物を含む第1の種類の半導体材料から成る第5の層を前記第4の層上に形成する第5の層形成ステップと、

前記ベース用不純物を前記2の層にまで拡散させる拡散ステップとを具備する半導体装置の製造方法。

【請求項6】

前記拡散ステップにおいて、前記ベース用不純物を前記2の層にまで拡散させるのと同時に、前記エミッタ用不純物を拡散させることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】

前記第3の層の膜厚は、前記拡散ステップにおいて前記ベース用不純物が前記2の層にまで拡散するように決定されていることを特徴とする請求項5または請求項6に記載の半導体装置の製造方法。

【請求項8】

前記第1の種類の半導体材料はシリコンであり、

前記第2の種類の半導体材料はシリコンゲルマニウムであることを特徴とする請求項5から請求項7のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置および半導体装置の製造方法に関する。

【0002】

【従来の技術】

携帯電話等の通信機器に使用されるRFIC (Radio Frequency Integrated Circuit) として、バイポーラ・トランジスタおよびMOSトランジスタを混載したBICMOSが頻繁に用いられる。特に、RFのような高周波領域においてバイポーラ・トランジスタの使用を可能とするためにはBICMOSの遮断周波数 f_T を高くしなければならない。

【 0 0 0 3 】

一般に、バイポーラ・トランジスタの遮断周波数 f_T を高くするためには、通常、ベース層が狭くされる。即ち、エミッターコレクタ間の距離が狭くなる。ベース層が狭くなるとエミッターコレクタ間のパンチスルーが発生しやすくなるので、ベース層の不純物濃度を高めなければならない。しかし、ベース層の不純物濃度を高めると、エミッタからの注入効率の低下により電流増幅率 h_{FE} が低下してしまう。

【 0 0 0 4 】

従来から、この遮断周波数 f_T を高めつつベース抵抗の増大や耐圧の低下、を防止するために、エミッターベース間にヘテロ接合を用いたヘテロ接合バイポーラ・トランジスタ (HBT) がある。例えば、シリコンとシリコンゲルマニウム (Si-Ge) の混晶とから成るヘテロ接合を有する BICMOS が頻繁に用いられる。

【 0 0 0 5 】

図 10 は Si-Ge を用いた従来の BICMOS の模式的断面図である。図 10 には、一点鎖線を境界として右に MIS トランジスタ領域が示され、その左にバイポーラ・トランジスタ領域が示されている。バイポーラ・トランジスタ領域の構成について説明する。

【 0 0 0 6 】

シリコン基板 10 に埋め込み層 12 が形成され、この埋め込み層 12 の上にシリコン単結晶層 14 が形成されている。埋め込み層 12 は、引出層 16 およびコンタクト層 18 に電氣的に接続されており、引出層 16 およびコンタクト層 18 を介してコレクタ電極 C に電氣的に接続されている。埋め込み層 12、シリコン単結晶層 14、引出層 16 およびコンタクト層 18 はいずれも N 型または N^+ 型の半導体であり、シリコン単結晶層 14 はコレクタ層として作用する。

【 0 0 0 7 】

シリコン単結晶層 14 の上には、シリコン単結晶、シリコンゲルマニウムの混晶およびシリコン単結晶を連続してエピタキシャル成長させた Si-SiGe-Si 積層膜 20 が設けられている。この Si-SiGe-Si 積層膜 20 の一部分が

P型半導体であり、ベース層として作用する。このベース層はポリシリコン22を介してベース電極Bに電氣的に接続されている。

【0008】

Si-SiGe-Si積層膜20の上にはポリシリコン24が形成されている。ポリシリコン24にはN型不純物が注入されており、さらに、熱処理によって、Si-SiGe-Si積層膜20の上部にこのN型不純物が拡散されている。これにより、Si-SiGe-Si積層膜20の上部にエミッタ層が形成され、ベース-エミッタ間にヘテロ接合が形成される。エミッタ層はポリシリコン24を介してエミッタ電極Eに電氣的に接続されている。このようにして、ベース電極B、エミッタ電極Eおよびコレクタ電極Cを備え、ベース-エミッタ間にヘテロ接合を有するNPNバイポーラ・トランジスタが構成されている。

【0009】

MISトランジスタ領域には、N型のチャネル部30を挟んで両側にP⁺型のソース層32およびP⁺型のドレイン層34が設けられている。また、チャネル部30の上には、ゲート絶縁膜36を介してゲート部38が形成されている。ソース電極S、ドレイン電極Dおよびゲート電極Gがそれぞれソース層32、ドレイン層34およびゲート部38に電氣的に接続されている。このようにして、ソース電極S、ドレイン電極Dおよびゲート電極を備えたPMOSトランジスタが構成されている。また、これらの半導体素子を素子分離するために素子分離部40が設けられている。

【0010】

【発明が解決しようとする課題】

図11は、図10のA-A線に沿った素子断面の不純物濃度プロファイルおよびシリコンゲルマニウム中のゲルマニウム含有率を示すグラフである。このグラフの横軸は、Si-SiGe-Si積層膜20の表面をゼロとしてシリコン基板10へ向かったときの深さを示す。このグラフの左側の縦軸は不純物濃度を示し、その右側の縦軸はシリコンゲルマニウムのゲルマニウム含有率を示している。

【0011】

Si-SiGe-Si積層膜20において、その表面近傍にはヒ素(As)が拡

散しており、それによりエミッタが形成されている。エミッタ領域の下には、ボロン（B）を含有したベースが形成されている。さらに、ベースの下にはリン（P）を含有したコレクタが形成されている。

【0012】

シリコンゲルマニウムの混晶はベースおよびコレクタに亘っている。即ち、コレクターベース間の接合部はシリコンゲルマニウムの混晶から成る。コレクターベース間に逆バイアスを印加したときには、空乏層は、図11のD1で示すように不純物濃度の低いコレクタ側へ大きく伸びる。

【0013】

このとき、空乏層D1の領域にSiGe層が含まれることにより、バイポーラ・トランジスタのコレクターベース間接合耐圧（ BV_{cbo} ）が低下する。これは、シリコンのエネルギーギャップが約1.1 eVであるのに対し、ゲルマニウムのエネルギーギャップが約0.67 eVと低いこと、並びに、シリコンの降伏電界が約30 V/ μ mであるのに対し、ゲルマニウムの降伏電界が約8 V/ μ mと低いことに因る。

【0014】

このコレクターベース間接合耐圧（ BV_{cbo} ）の低下は、コレクターベース間接合耐圧と相関のあるエミッターコレクタ間耐圧（ BV_{ceo} ）の低下を招く。その結果、バイポーラ・トランジスタの動作電圧範囲が狭まるという問題がある。

【0015】

従って、本発明の目的は、遮断周波数 f_T を高くするためにベースーエミッタ間にヘテロ接合を有しつつも、エミッターコレクタ間耐圧が従来よりも高いバイポーラ・トランジスタを有する半導体装置を提供することである。

【0016】

【課題を解決するための手段】

本発明に従った実施の形態による半導体装置は、第1の種類の半導体材料からなるコレクタ層と、前記コレクタ層に接し前記第1の種類の半導体材料からなる第1のベース部分および前記第1のベース部分に接し第2の種類の半導体材料か

らなる第2のベース部分を含むベース層と、前記ベース層に接し前記第1の種類の半導体材料からなり、該ベース層とヘテロ接合を形成するエミッタ層とを備える。

【0017】

好ましくは、該半導体装置は、前記ベース層、前記エミッタ層および前記コレクタ層を有するバイポーラ・トランジスタと、該バイポーラ・トランジスタと同一チップ上に形成されたMISトランジスタとを備える。

【0018】

好ましくは、前記第1の種類の半導体材料はシリコンであり、前記第2の種類の半導体材料はシリコンゲルマニウムである。

【0019】

好ましくは、前記第1のベース部分の膜厚は、前記ベース層、前記エミッタ層および前記コレクタ層を有するバイポーラ・トランジスタが非飽和動作状態のときに前記コレクタ層と前記ベース層との接合部から延びる空乏層が前記第2のベース層に到達しないように設定されている。

【0020】

本発明に従った実施の形態による半導体装置の製造方法は、半導体基板上にコレクタ用不純物を含む第1の種類の半導体材料から成る第1の層を形成する第1の層形成ステップと、不純物を含まない第1の種類の半導体材料からなる第2の層、不純物を含まない第2の種類の半導体材料からなる第3の層およびベース用不純物を含む第2の種類の半導体材料から成る第4の層、前記第1の層上に形成する第2から第4の層形成ステップと、エミッタ用不純物を含む第1の種類の半導体材料から成る第5の層を前記第4の層上に形成する第5の層形成ステップと、前記ベース用不純物を前記2の層にまで拡散させる拡散ステップとを具備する。

【0021】

好ましくは、前記拡散ステップにおいて、前記ベース用不純物を前記2の層にまで拡散させるのと同時に、前記エミッタ用不純物を拡散させる。

【0022】

好ましくは、前記第 3 の層の膜厚は、前記拡散ステップにおいて前記ベース用不純物が前記 2 の層にまで拡散するように決定されている。

【 0 0 2 3 】

好ましくは、前記第 1 の種類の半導体材料はシリコンであり、前記第 2 の種類の半導体材料はシリコンゲルマニウムである。

【 0 0 2 4 】

【発明の実施の形態】

以下、図面を参照し、本発明による実施の形態を説明する。尚、本実施の形態は本発明を限定するものではない。また、以下の実施の形態において、P型の半導体に代えてN型の半導体を用いかつN型の半導体に代えてP型の半導体を用いても本発明または本実施の形態の効果をを得ることができる。

【 0 0 2 5 】

図 1 は本発明に係る実施の形態に従った B I C M O S 2 0 0 の模式的断面図である。図 1 には、一点鎖線を境として右に M I S トランジスタ領域が示され、その左にヘテロ接合型バイポーラ・トランジスタ領域が示されている。

【 0 0 2 6 】

まず、バイポーラ・トランジスタ領域に形成されたバイポーラ・トランジスタを説明する。このバイポーラ・トランジスタは、P型のシリコン基板 1 0 を有し、シリコン基板 1 0 に N^+ 型の埋め込み層 1 2 が形成され、この埋め込み層 1 2 の上にN型のシリコン単結晶層 1 4 が形成されている。埋め込み層 1 2 には、N型の不純物としてヒ素 (A s) が含有されており、シリコン単結晶層 1 4 には、N型の不純物としてリン (P) が含有されている。

【 0 0 2 7 】

埋め込み層 1 2 は、 N^+ 型の引出層 1 6 に接続され、引出層 1 6 は N^+ 型のコンタクト層 1 8 に接続され、さらに、コンタクト層 1 8 はコレクタ電極 C に接続されている。引出層 1 6 にはリン (P) が含有されており、コンタクト層 1 8 にはヒ素 (A s) が含有されている。

【 0 0 2 8 】

これにより、シリコン単結晶層 1 4 は、埋め込み層 1 2、引出層 1 6 およびコ

ンタクト層 1 8 を介して、コレクタ電極 C に電氣的に接続され、バイポーラ・トランジスタのコレクタ層として作用する。埋め込み層 1 2、引出層 1 6 およびコンタクト層 1 8 は総て N^+ 型であるので、シリコン単結晶層 1 4 とコレクタ電極 C との間は低抵抗で接続されている。

【 0 0 2 9 】

シリコン単結晶層 1 4 の上には、シリコン単結晶、シリコンゲルマニウムの混晶およびシリコン単結晶を連続してエピタキシャル成長させた $Si-SiGe-Si$ 積層膜 2 2 0 が設けられている。

【 0 0 3 0 】

この $Si-SiGe-Si$ 積層膜 2 2 0 のシリコンゲルマニウム ($SiGe$) の部分はボロン (B) を含有し、P 型半導体になっている。この P 型のシリコンゲルマニウムはバイポーラ・トランジスタのベース層の一部として作用する。ベース層はポリシリコン 2 2 を介してベース電極 B に電氣的に接続されている。

【 0 0 3 1 】

$Si-SiGe-Si$ 積層膜 2 2 0 の上には N 型不純物としてヒ素 (As) を含有したポリシリコン 2 4 が隣接している。また、 $Si-SiGe-Si$ 積層膜 2 2 0 の下にはリン (P) を含有したシリコン単結晶層 1 4 が隣接している。この状態で、熱処理が施されることによって、 $Si-SiGe-Si$ 積層膜 2 2 0 の上部および下部にそれぞれヒ素 (As) およびリン (P) が拡散する。その結果、 $Si-SiGe-Si$ 積層膜 2 2 0 の上部には、N 型のエミッタ層が形成され、その下部には N 型のコレクタ層が形成され、さらに、それらの中間部に P 型のベース層が形成される。これにより、ベース-エミッタ間にシリコンとシリコンゲルマニウムとから成るヘテロ接合が形成される。 $Si-SiGe-Si$ 積層膜 2 2 0 内の構成は図 2 において詳述する。

【 0 0 3 2 】

エミッタ層はポリシリコン 2 4 を介してエミッタ電極 E に電氣的に接続されている。このようにして、ベース電極 B、エミッタ電極 E およびコレクタ電極 C を備えた NPN バイポーラ・トランジスタが構成されている。勿論、NPN バイポーラ・トランジスタは通常複数形成され、その数は限定しない。また、NPN バイ

イボラ・トランジスタの各構成要素の導電型を変更し、PNPバイボラ・トランジスタを構成してもよい。また、NPNバイボラ・トランジスタおよびPNPバイボラ・トランジスタを混載させてもよい。

【0033】

図2は、図1の2-2線に沿った断面における不純物濃度プロファイルおよびSi-SiGe-Si積層膜220のゲルマニウム含有率を示したグラフである。

【0034】

このグラフの横軸は、Si-SiGe-Si積層膜220の表面をゼロとしてシリコン基板10へ向かったときの深さを示す。このグラフの左側の縦軸は不純物濃度を示し、その右側の縦軸はシリコンゲルマニウム中のゲルマニウム含有率を示している。

【0035】

Si-SiGe-Si積層膜220において、その表面近傍にはポリシリコン24からヒ素(As)が拡散しており、それによりエミッタ層が形成されている。エミッタ領域の下には、ボロン(B)を含有したベース層が形成されている。さらに、ベース層の下にはシリコン単結晶層14からリン(P)が拡散しており、それによりコレクタ層が形成されている。

【0036】

シリコンゲルマニウムの混晶は、従来よりも薄くベース層の一部にのみ存在する。例えば、従来、約15%のゲルマニウムを含有したシリコンゲルマニウムの厚さは約60nmであったが、本実施の形態によれば、その厚さは約20nmである。これにより、コレクタ層やコレクターベース間の接合部には、シリコンゲルマニウムは存在せず、シリコン単結晶が存在する。

【0037】

ベースーコレクタ間の接合は、ベース層の不純物のボロン(B)とコレクタ不純物のリン(P)の隣接部分である。ベースーコレクタ間の接合に逆バイアスを印加したときに、空乏層は、図2中のD2で示すように伸びる。即ち、空乏層は、不純物濃度(ヒ素濃度)の低いコレクタ側へ大きく伸び、不純物濃度(ボロン濃度)の高いベース側には僅かしか伸びない。ベース層のうち、空乏層が到達し

ない領域を第 1 のベース層 B 1 とし、空乏層が到達する領域を第 2 のベース層 B 2 とする。本実施の形態によれば、図 2 に示すように、第 2 のベース層 B 2 にはシリコンゲルマニウムが存在せず、第 1 のベース層 B 1 にのみシリコンゲルマニウムが存在する。それにより、シリコンゲルマニウムには空乏層が到達しない。第 2 のベース層 B 2 の厚さは、例えば、約 1 0 n m である。これは、コレクターベース間に約 1 ボルトの逆バイアスが印加されたときにベース側に伸びる空乏層を考慮したものである。但し、空乏層の伸びはベース層およびコレクタ層の不純物濃度にも依存するので、第 2 のベース層 B 2 の厚さはこれらの不純物濃度をも考慮して決定される。

【 0 0 3 8 】

一般に、シリコンのエネルギーギャップが約 1 . 1 e V であるのに対し、ゲルマニウムのエネルギーギャップが約 0 . 6 7 e V と低いこと、並びに、シリコンの降伏電界が約 3 0 V / μ m であるのに対し、ゲルマニウムの降伏電界が約 8 V / μ m と低い。

【 0 0 3 9 】

しかし、本実施の形態によれば、空乏層の拡がる D 2 の領域にゲルマニウムが含まれないので、コレクターベース間耐圧 (B V c b o) の低下を防ぐことができる。また、コレクターベース間耐圧と相関のあるエミッターコレクタ間耐圧 (B V c e o) の低下を防ぐことができる。これらの結果、バイポーラ・トランジスタの動作電圧範囲が狭くならない。

【 0 0 4 0 】

即ち、本実施の形態に設けられたバイポーラ・トランジスタは、ヘテロ接合を有するので高い遮断周波数 f_T を得ることができると共に、D 2 の領域にゲルマニウムが含まれないので B V c b o および B V c e o の低下を防止できる。

【 0 0 4 1 】

図 1 を再度参照する。M I S トランジスタ領域には、P M O S トランジスタが形成されている。シリコン基板 1 0 の表面領域に N 型のウェル 3 1 が形成され、N ウェル 3 1 内に N 型のチャネル部 3 0 を挟んで両側に P ⁺ 型のソース層 3 2 および P ⁺ 型のドレイン層 3 4 が設けられている。また、チャネル部 3 0 の上には

、ゲート絶縁膜 3 6 を介してゲート部 3 8 が形成されている。さらに、ソース電極 S、ドレイン電極 D およびゲート電極 G がそれぞれソース層 3 2、ドレイン層 3 4 およびゲート部 3 8 に電氣的に接続されている。このようにして、ソース電極 S、ドレイン電極 D およびゲート電極 G を備えた PMOS トランジスタが設けられている。シリコン基板 1 0 の表面領域には、N 型のウェル 3 1 の他、P 型のウェル 3 3 も形成され、ウェル 3 3 の領域内には NMOS トランジスタ（図示せず）が設けられている。このようにして、MIS トランジスタ領域には NMOS トランジスタおよび PMOS トランジスタの両方を備えた CMOS が形成されている。

【 0 0 4 2 】

次に、本実施の形態による BICMOS 2 0 0 の製造方法を示す。本実施の形態によれば、例えば、面方位（1 0 0）、比抵抗 = 1 0 ohm · cm の P 型シリコン基板 1 0 を使用する。尚、図面の括弧内は導電型を示す。

【 0 0 4 3 】

図 3（A）に示すように、まず、シリコン基板 1 0 を酸化することによって、シリコン酸化膜 6 1 0 を成膜する。シリコン酸化膜 6 1 0 上にパターニングされたフォトレジスト 6 1 2 を設ける。フォトレジスト 6 1 2 をマスクとして、NPN トランジスタのコレクタとなる N^+ 型の埋め込み層 1 2 を形成する領域に、N 型不純物のヒ素（As）がイオン注入される。このイオン注入は、例えば、加速電圧が約 5 0 kV およびドーズ量が約 $8 \times 10^{15} \text{ cm}^{-2}$ の条件で処理される。

【 0 0 4 4 】

図 3（B）を参照する。フォトレジスト 6 1 2 の除去後、約 1 0 0 0 °C の窒素（ N_2 ）雰囲気中において約 6 0 分間アニールを行う。次に、約 1 0 2 5 °C の酸素および水素（ $O_2 + H_2$ ）雰囲気中において、約 9 分間酸化処理する。このとき埋め込み層 1 2 上の酸化膜 6 1 0 は、ヒ素（As）をイオン注入していない領域の酸化膜 6 1 0 に比べ厚く酸化される。埋め込み層 1 2 上の酸化膜は、例えば、約 2 0 0 nm である。これにより、埋め込み層 1 2 の周囲に約 4 0 nm の段差が形成される。この段差は、その後のフォトリソグラフィにおけるアラインメン

トの基準に用いられる。次に、約 1190°C の窒素 (N_2) 雰囲気中において、約 25 分間アニールし、ヒ素を十分に拡散する。

【0045】

図 3 (C) に示すように、次に、酸化膜 610 を除去し、リン (P) が約 $1 \times 10^{16} \text{ cm}^{-3}$ だけ添加されたエピタキシャル層 620 を約 $0.9 \mu\text{m}$ の厚さに成膜する。エピタキシャル層 620 は、例えば、不純物ガス PH_3 およびシランガス (SiH_4) を用いて、圧力約 4000 Pa および温度約 1050°C の条件でエピタキシャル成長される。

【0046】

図 3 (D) に示すように、次に、約 25 nm の厚さのシリコン酸化膜 630 を約 850°C の熱酸化により成膜する。さらに、約 390 nm の厚さのポリシリコン 640、約 300 nm の厚さのシリコン酸化膜 650 をそれぞれ減圧 CVD 法により成膜する。シリコン酸化膜 630、ポリシリコン 640 またはシリコン酸化膜 650 を形成するときの熱により、埋め込み層 12 がシリコン単結晶層 620 の下部に拡散される。

【0047】

図 4 (A) に示すように、次に、浅い STI (Shallow Trench Isolation) を形成するために、フォトリソグラフィ技術と RIE 法などの異方性エッチングにより、シリコン酸化膜 630、ポリシリコン 640 またはシリコン酸化膜 650 をパターンニングし、フォトレジストを除去する。

【0048】

次に、シリコン酸化膜 650 をマスクとし、RIE 法などによる異方性エッチングにより、エピタキシャル層 620 を約 $0.5 \mu\text{m}$ の深さまでエッチングする。

【0049】

図 4 (B) に示すように、次に、減圧 CVD 法などにより、シリコン酸化膜 660 を堆積する。次に、深い STI を形成するために、素子を取り囲むように、開口幅約 $1.0 \mu\text{m}$ のフォトレジストをパターンニングする。このフォトレジストをマスクとして、RIE 法などによる異方性エッチングによりシリコン酸化膜 660 を除去し、さらに、フォトレジストを剥離する。

【 0 0 5 0 】

図 4 (C) に示すように、次に、シリコン酸化膜 6 6 0 をマスクとして R I E 法などによる異方性エッチングを施し、例えば、深さ約 $5 \mu\text{m}$ のトレンチ 6 7 0 を形成する。

【 0 0 5 1 】

図 4 (D) に示すように、次に、加速電圧約 35 KeV 、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でボロンをトレンチ 6 7 0 の底にイオン注入する。これは、S T I の素子分離の耐圧を高めるためである。

【 0 0 5 2 】

図 5 (A) に示すように、次に、フッ化アンモニウム (NH_4F) などによるエッチングによりシリコン酸化膜 6 6 0 を除去する。次に、約 1000°C で酸化することによってトレンチ 6 7 0 の内壁に約 35 nm の厚さのシリコン酸化膜 6 8 0 を成膜する。次に、減圧 C V D 法などにより、トレンチ 6 7 0 の内壁に約 200 nm の厚さのシリコン酸化膜 6 9 0 を 200 nm 成膜する。

【 0 0 5 3 】

図 5 (B) に示すように、次に、減圧 C V D 法などにより約 $1.4 \mu\text{m}$ の厚さのポリシリコンを堆積し、C D E (Chemical Dry Etching) 法などによりこれをエッチングバックすることによって、トレンチ 6 7 0 のみにポリシリコン 7 0 0 が充填される。このようにして素子分離部 4 0 が形成される。

【 0 0 5 4 】

図 5 (C) に示すように、次に、減圧 C V D 法などにより約 650 nm の厚さのシリコン酸化膜 7 1 0 を成膜する。

【 0 0 5 5 】

図 5 (D) に示すように、次に、CMP (Chemical Mechanical Polishing) 法を用いてポリシリコン 6 4 0 の表面まで均一に研磨およびエッチングする。

【 0 0 5 6 】

図 6 (A) に示すように、次に、C D E 法などによりポリシリコン 6 4 0 をエッチングし、フッ化アンモニウム (NH_4F) などによりシリコン酸化膜 6 3 0 をエッチングする。その後、約 850°C で酸化することにより約 15 nm の厚さ

のシリコン酸化膜 7 2 0 を成膜する。

【 0 0 5 7 】

図 6 (B) に示すように、次に、NPN バイポーラ・トランジスタのコレクタ部にリン (P) をイオン注入する。このイオン注入は、例えば、加速電圧が約 5 0 k V およびドーズ量が約 $1.5 \times 10^{15} \text{ cm}^{-2}$ の条件で処理される。その後、約 9 5 0 °C の窒素 (N_2) 雰囲気中において、約 6 0 分間アニールすることにより、リンが十分に拡散され、引出層 1 6 が形成される。

【 0 0 5 8 】

図 6 (C) に示すように、次に、P 型ウェル領域に選択的にボロンイオン (B^+) をイオン注入する。このイオン注入は、加速電圧が約 4 0 0 k V およびドーズ量が約 $2 \times 10^{13} \text{ cm}^{-2}$ の条件、および、加速電圧が約 1 6 0 k V およびドーズ量が約 $1.1 \times 10^{12} \text{ cm}^{-2}$ の条件で処理される。これらの条件によるイオン注入により、シリコン基板 1 0 の深さ方向に向かって濃度が上昇するプロファイル (レトログレード型プロファイル) が形成される。これにより、P 型ウェルのシート抵抗を低くすることができる。

【 0 0 5 9 】

次に、N 型ウェル領域に選択的にリンイオン (P^{++}) をイオン注入する。このイオン注入は、加速電圧が約 3 4 0 k V およびドーズ量が約 $5.0 \times 10^{13} \text{ cm}^{-2}$ の条件で処理される。

【 0 0 6 0 】

さらに、約 1 0 5 0 °C の窒素 (N_2) 雰囲気中において、約 0.5 分間アニールする。これにより、P 型ウェル領域および N 型ウェル領域の不純物が拡散されて、P 型ウェル 3 3 および N 型ウェル 3 1 が形成される。

【 0 0 6 1 】

次に、NMOS チャネル領域 (図示せず) に選択的にボロンイオン (B^+) を注入する。このイオン注入は、加速電圧が約 1 2 0 k V およびドーズ量が約 $8 \times 10^{12} \text{ cm}^{-2}$ の条件、および、加速電圧が約 2 5 k V およびドーズ量が約 $2.8 \times 10^{12} \text{ cm}^{-2}$ の条件で処理される。

【 0 0 6 2 】

次に、PMOSチャネル領域に選択的にリンイオン (P^{++}) を注入する。このイオン注入は、加速電圧が約 150 kV およびドーズ量が約 $1.6 \times 10^{13} \text{ cm}^{-2}$ の条件、および、加速電圧が約 150 kV およびドーズ量が約 $1.8 \times 10^{13} \text{ cm}^{-2}$ の条件で処理される。さらに、PMOSチャネル領域には、ボロンイオン (B^{+}) が、加速電圧約 20 kV およびドーズ量約 $4.8 \times 10^{12} \text{ cm}^{-2}$ の条件で注入される。これにより、チャネル部 30 が形成される。

【0063】

図6(D)を参照して、次に、フッ化アンモニウム (NH_4F) などによりシリコン酸化膜 720 をエッチングした後、約 850℃ で酸化することにより、約 9 nm の厚さのシリコン酸化膜から成るゲート絶縁膜 36 を成膜する。次に、ポリシリコンを減圧CVDなどにより約 300 nm の厚さに堆積し、ヒ素をイオン注入する。このイオン注入は、例えば、加速電圧が約 40 kV およびドーズ量が約 $1 \times 10^{15} \text{ cm}^{-2}$ の条件で処理される。次に、フォトリソグラフィ技術およびRIE法などのエッチングを用いて、このポリシリコンをエッチングして、ゲート部 38 が形成される。

【0064】

図7(A)に示すように、次に、NMOSトランジスタのソースおよびド레인部分 (図示せず)、N型ウェル引き出し部分 (図示せず) およびNPNバイポーラ・トランジスタの引出層 16 にヒ素イオン (As^{+}) を選択的に注入する。このイオン注入は、例えば、加速電圧が約 50 kV およびドーズ量が約 $5 \times 10^{15} \text{ cm}^{-2}$ の条件で処理される。

【0065】

次に、PMOSトランジスタのソースおよびド레인部分 32、34、Pウェル引き出し部分 (図示せず) にボロンイオン (B^{+}) を選択的に注入する。このイオン注入は、加速電圧が約 35 kV およびドーズ量が約 $3.0 \times 10^{15} \text{ cm}^{-2}$ の条件で処理される。この工程において、PMOSトランジスタのソース層 32 およびド레인層 34 が形成され、NPNバイポーラ・トランジスタのコンタクト層 18 が形成される。

【 0 0 6 6 】

図 7 (B) に示すように、次に、C V D 法により約 2 0 0 n m の厚さのシリコン酸化膜 7 3 0 を堆積する。その後、フォトリソグラフィ技術とフッ化アンモニウムによるエッチングを用いて、N P N バイポーラ・トランジスタの素子領域のシリコン酸化膜を除去し、エピタキシャル層 6 2 0 (以下、シリコン単結晶層 1 4 という) を露出させる。

【 0 0 6 7 】

図 7 (C) に示すように、次に、シリコン (S i) 、シリコンゲルマニウム (S i G e) およびシリコン (S i) を連続してエピタキシャル成長させることにより S i - S i G e - S i 積層膜 2 2 0 が形成される。このエピタキシャル成長は、シリコン単結晶層 1 4 上にシリコン単結晶を選択的に成長させ、同時に、シリコン単結晶層 1 4 上が露出していない領域にはポリシリコンを成膜させる条件で処理される。

【 0 0 6 8 】

より詳細には、次の条件で成膜する。

【 0 0 6 9 】

まず、シリコン単結晶層 1 4 が露出してない部分の膜荒れを防止するために、約 4 0 n m の厚さのノンドープトシリコンを成膜する。このときの圧力は、例えば、 0.13 Pa 以上かつ $1.3 \times 10^4 \text{ Pa}$ 以下に設定し、温度は約 600°C に設定する。さらに、キャリアガスは水素 (H_2) とし、ソースガスはシラン (SiH_4) とする。

【 0 0 7 0 】

次に、約 2 0 n m の厚さのノンドープトシリコンゲルマニウム ($\text{Si}_{(1-X)}\text{Ge}_{(X)}$) を成膜する。このとき、 $X=0.2$ である。また、このときの圧力は、例えば、 0.13 Pa 以上 $1.3 \times 10^4 \text{ Pa}$ 以下に設定し、温度は約 600°C に設定する。さらに、キャリアガスは水素 (H_2) とし、ソースガスは、シラン (SiH_4) および水素化ゲルマニウム (GeH_4) とする。

【 0 0 7 1 】

次に、P 型不純物としてボロンを添加した約 3 0 n m の厚さのドープトシリコ

ンゲルマニウム ($\text{Si}_{(1-X)}\text{Ge}_{(X)}$) を成膜する。このときの圧力は、例えば、 0.13 Pa 以上 $1.3 \times 10^4\text{ Pa}$ 以下に設定し、温度は約 600°C に設定する。キャリアガスは水素 (H_2) とし、ソースガスはシラン (SiH_4) および水素化ゲルマニウム (GeH_4) とする。この水素化ゲルマニウム (GeH_4) の流量を変化させることにより、シリコンゲルマニウム ($\text{Si}_{(1-X)}\text{Ge}_{(X)}$) の X をコレクタ側からエミッタ側に向かって 0.2 から 0 に次第に変化させることができる。それによって、図 2 に示すように深さ 60 nm から 30 nm にかけてゲルマニウム含有率を次第に減少させることができる。

【0072】

ドーフトシリコンゲルマニウムを成膜するとき、シリコンゲルマニウム膜中のボロン濃度が約 $8 \times 10^{18}\text{ cm}^{-3}$ に一定になるように、水素化ボロン (B_2H_6) ガスが添加される。

【0073】

次に、約 30 nm の厚さのシリコン膜が成長される。このときの圧力は、例えば、 0.13 Pa 以上かつ $1.3 \times 10^4\text{ Pa}$ 以下に設定し、温度は約 600°C に設定する。キャリアガスは水素 (H_2) とし、ソースガスはシラン (SiH_4) とする。このシリコン膜を成長させるとき、シリコン膜中のボロン濃度が約 $8 \times 10^{18}\text{ cm}^{-3}$ に一定になるように、水素化ボロン (B_2H_6) ガスが添加される。

【0074】

このような工程を経て Si-SiGe-Si 積層膜 220 が形成される。尚、シリコン単結晶層 14 上には、単結晶のシリコン (Si) - シリコンゲルマニウム (SiGe) - シリコン (Si) の積層膜 220 が形成される。一方で、シリコン単結晶層 14 以外のシリコン酸化膜やポリシリコン上には、多結晶のシリコン (Si) - シリコンゲルマニウム (SiGe) - シリコン (Si) の積層膜 740 が形成される。

【0075】

図 7 (D) に示すように、次に、CVD 法などによりシリコン酸化膜を堆積し、これをパターニングして Si-SiGe-Si 積層膜 220 上にシリコン酸化膜

750を形成する。次に、CVD法などにより約200nmの厚さのポリシリコン760を堆積する。

【0076】

図8(A)に示すように、次に、フォトリソグラフィ技術およびRIE法などのエッチングを用いて、ポリシリコン760および多結晶のSi-SiGe-Si積層膜740をエッチングする。

【0077】

図8(B)に示すように、次に、CVD法によりシリコン酸化膜770およびシリコン窒化膜780をそれぞれ約100nm堆積する。

【0078】

図8(C)に示すように、次に、フォトリソグラフィ技術およびRIE法などのエッチングを用いて、Si-SiGe-Si積層膜220上のシリコン窒化膜780、シリコン酸化膜770およびポリシリコン760を連続してエッチングする。次に、Si-SiGe-Si積層膜220のうち、シリコン単結晶層14の上に堆積したノンドープトシリコン膜にコレクタ用のリンをイオン注入する。このイオン注入は、例えば、加速電圧が約200kVおよびドーズ量が約 $5 \times 10^{11} \text{ cm}^{-2}$ の条件で処理される。

【0079】

図8(D)に示すように、次に、減圧CVD法により約100nmの厚さのシリコン窒化膜を堆積し、さらに、これをRIE法を用いて等方的にエッチングすることにより、シリコン窒化膜から成る側壁790が形成される。

【0080】

図9(A)に示すように、次に、フッ化アンモニウム(NH_4F)などを用いたエッチングにより、シリコン酸化膜750をエッチングする。

【0081】

図9(B)に示すように、次に、CVD法などにより、約200nmの厚さのポリシリコン800を堆積する。ポリシリコン800に、ヒ素をイオン注入する。このイオン注入は、加速電圧が約50kVおよびドーズ量が約 $1 \times 10^{16} \text{ cm}^{-2}$ の条件で処理される。

【 0 0 8 2 】

図 9 (C) に示すように、次に、フォトリソグラフィ技術および R I E 法を用いて、エミッタ層と接続するポリシリコン 2 4 が形成される。次に、例えば、約 9 0 0 °C の窒素 (N_2) 雰囲気中において、約 1 0 分間アニールする。これにより、ポリシリコン 2 4 内の不純物が S i - S i G e - S i 積層膜 2 2 0 の上部に拡散され、かつ、ポリシリコン 2 4 内の不純物が活性化される。

【 0 0 8 3 】

次に、C V D 法などによりシリコン酸化膜 8 1 0 を堆積し、これを C M P 法により平坦化する。その後、コンタクトホールを形成し、アルミニウム配線により電極を形成する。このようにして、バイポーラ・トランジスタおよび M O S トランジスタの両方を有する B I C M O S 2 0 0 が一連のプロセスにより完成される (図 1)。

【 0 0 8 4 】

尚、上述した製造プロセスの条件は 1 つの実施の形態として記載されたものであり、従って、圧力、温度、加速電圧等は上述の値に限定されない。また、各工程において形成される構成要素の膜厚等も上述の値に限定されない。

【 0 0 8 5 】

【発明の効果】

本発明に従った半導体装置は、遮断周波数 f_T を高くするためにベース-エミッタ間にヘテロ接合を有しつつも、エミッター-コレクタ間耐圧を従来よりも高くすることができる。

【 0 0 8 6 】

本発明に従った半導体装置の製造方法は、遮断周波数 f_T を高くするためにベース-エミッタ間にヘテロ接合を有しつつも、エミッター-コレクタ間耐圧が従来よりも高いバイポーラ・トランジスタを備えた半導体装置を製造することができる。

【図面の簡単な説明】

【図 1】

本発明に係る実施の形態に従った B I C M O S 2 0 0 の模式的断面図。

【図 2】

図 1 の 2 - 2 線に沿った断面における不純物濃度プロファイルおよび Si - SiGe - Si 積層膜 2 2 0 のゲルマニウム含有率を示したグラフ。

【図 3】

B I C M O S 2 0 0 の製造方法を示す素子断面図。

【図 4】

図 3 に続く、B I C M O S 2 0 0 の製造方法を示す素子断面図。

【図 5】

図 4 に続く、B I C M O S 2 0 0 の製造方法を示す素子断面図。

【図 6】

図 5 に続く、B I C M O S 2 0 0 の製造方法を示す素子断面図。

【図 7】

図 6 に続く、B I C M O S 2 0 0 の製造方法を示す素子断面図。

【図 8】

図 7 に続く、B I C M O S 2 0 0 の製造方法を示す素子断面図。

【図 9】

図 8 に続く、B I C M O S 2 0 0 の製造方法を示す素子断面図。

【図 1 0】

Si - Ge を用いた従来の B I C M O S の模式的断面図。

【図 1 1】

図 1 0 の A - A 線に沿った素子断面の不純物濃度プロファイルおよびシリコンゲルマニウムのゲルマニウム含有率を示すグラフ。

【符号の説明】

2 0 0 B I C M O S

1 0 半導体基板

1 2 埋め込み層

1 4 シリコン単結晶層

1 6 引出層

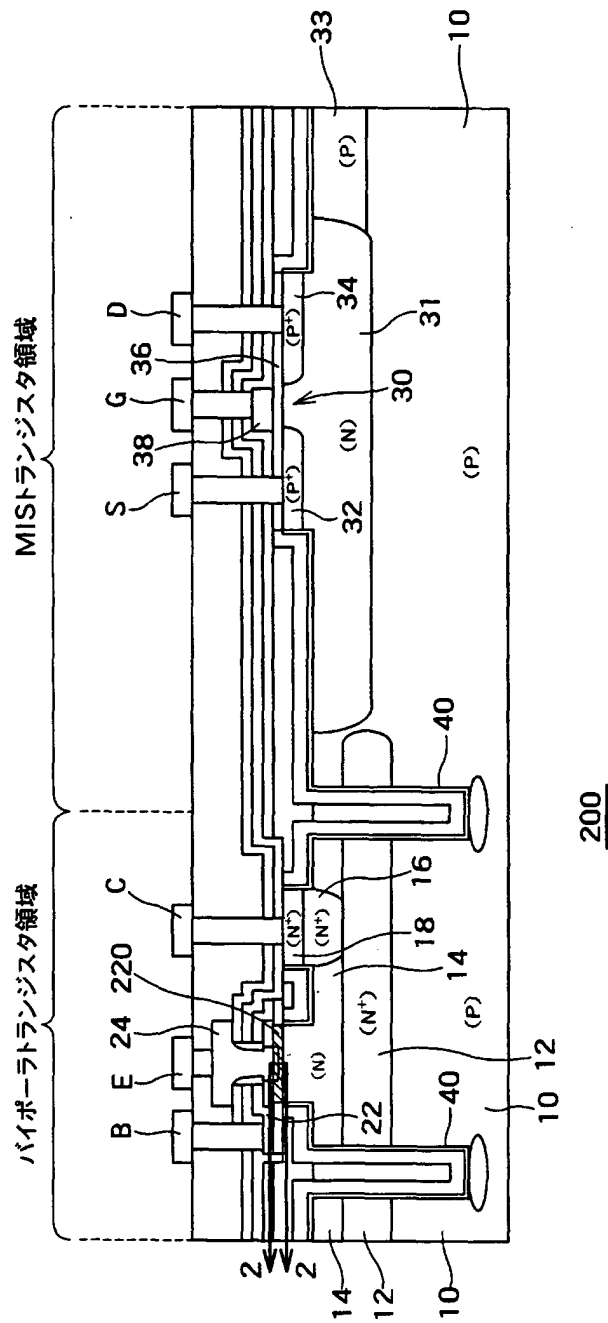
1 8 コンタクト層

2 4 ポリシリコン

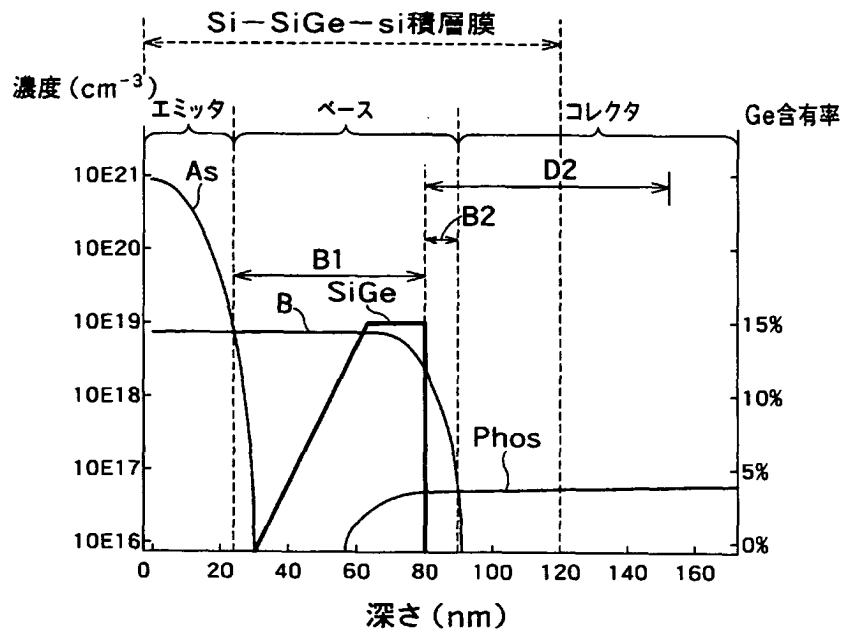
2 2 0 S i - S i G e - S i 積層膜

【書類名】 図面

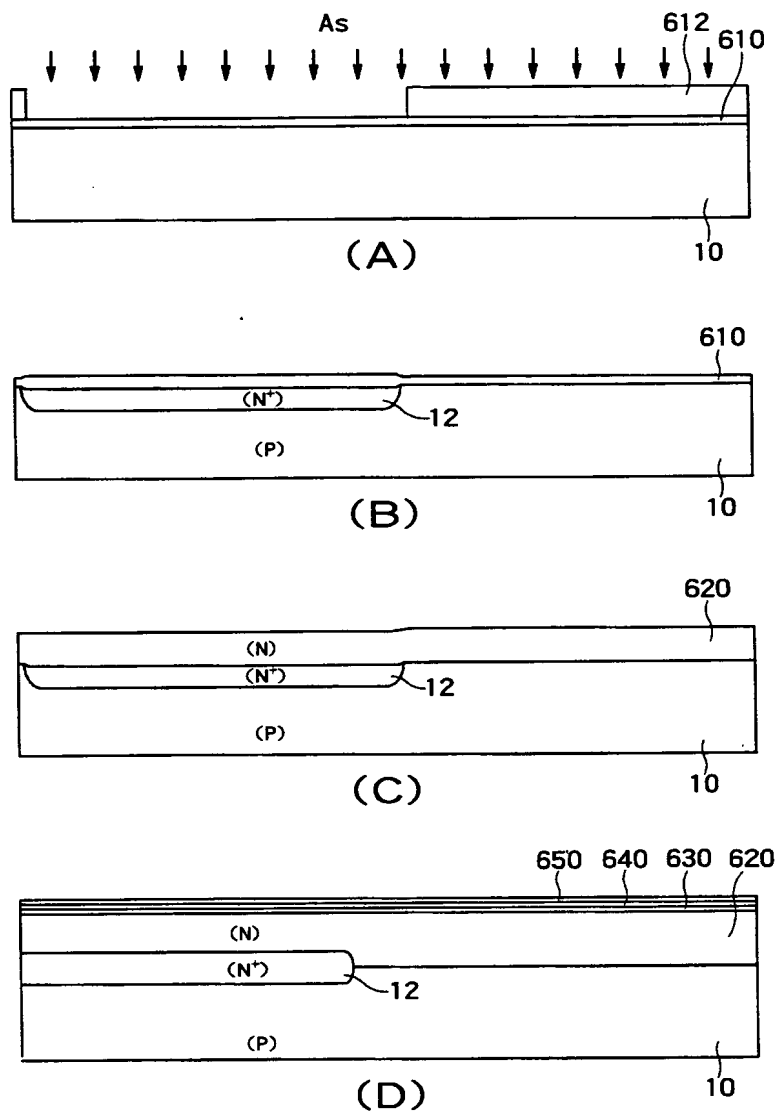
【図 1】



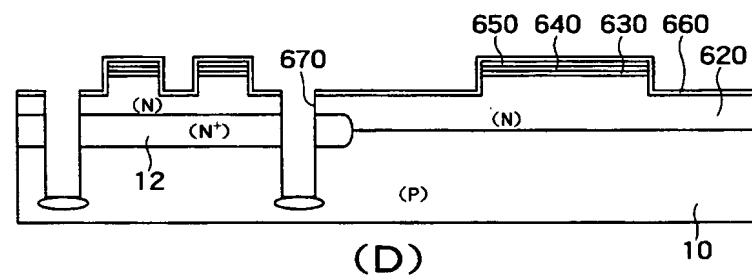
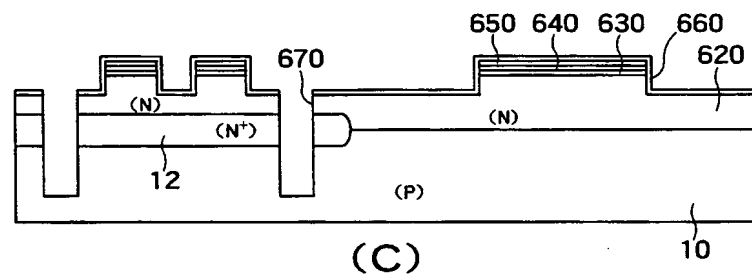
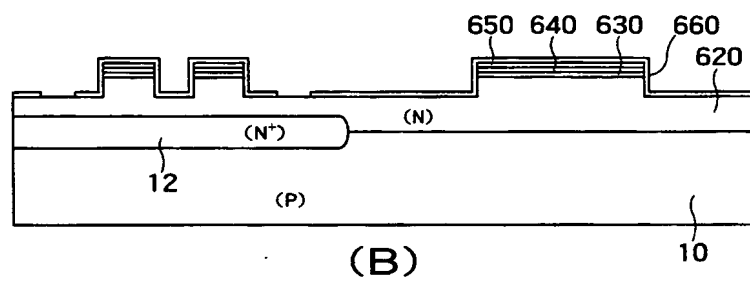
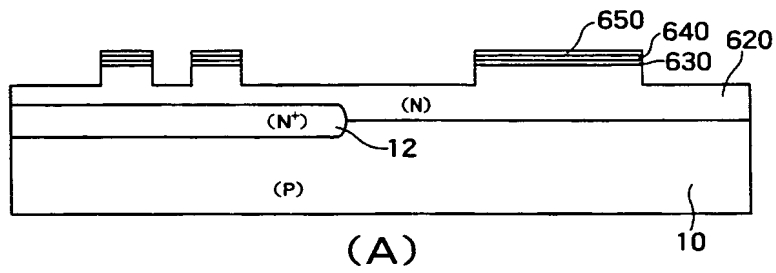
【図 2】



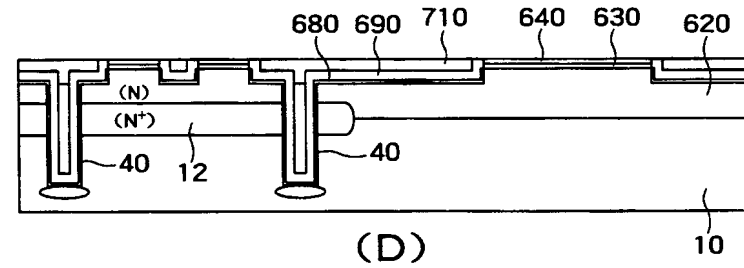
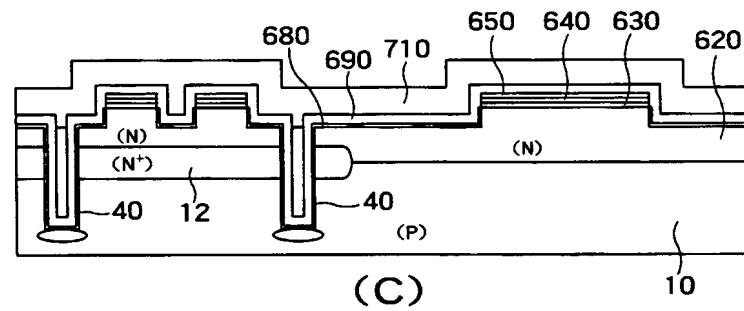
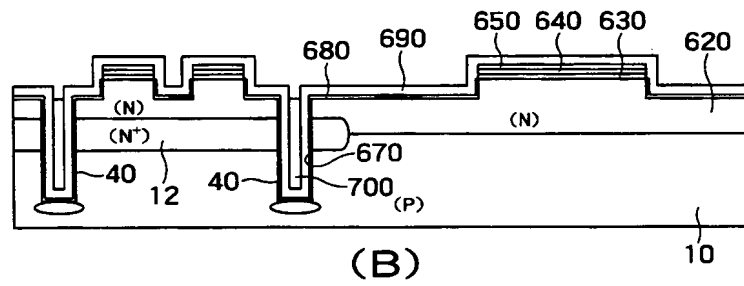
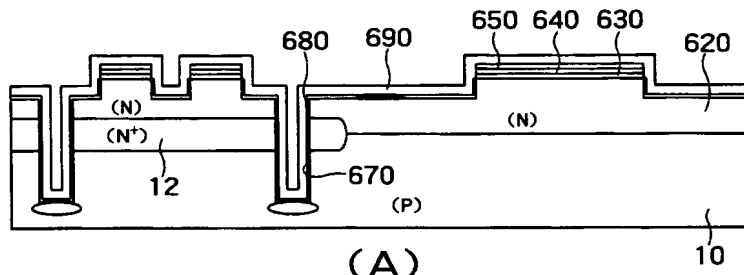
【図 3】



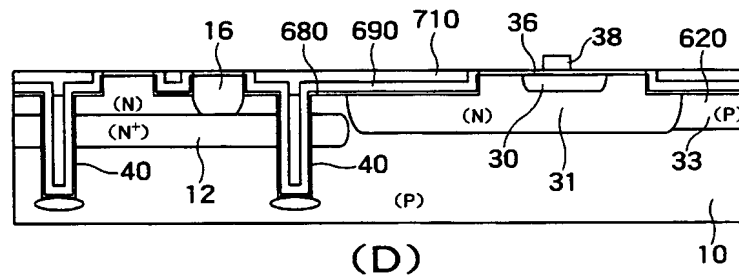
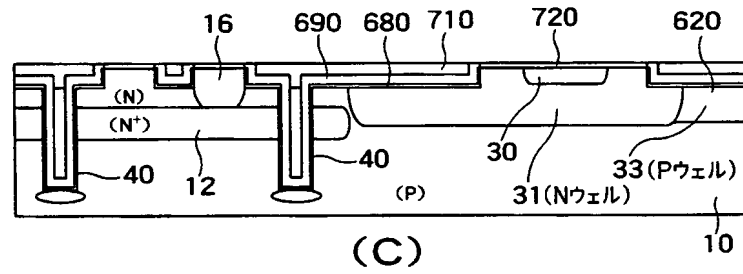
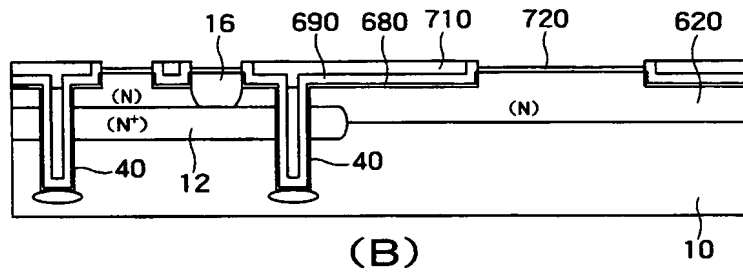
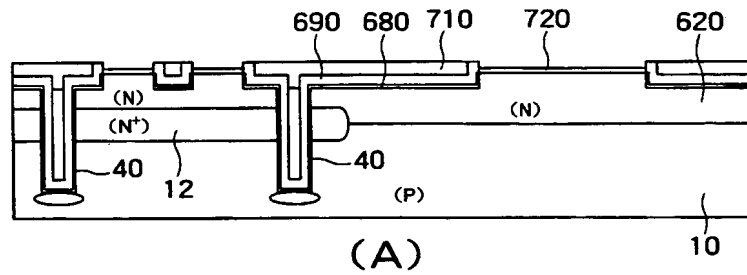
【図 4】



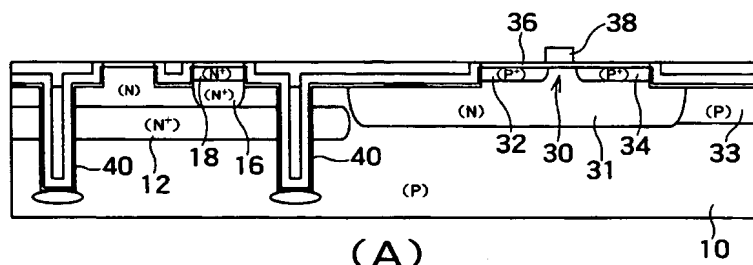
【図 5】



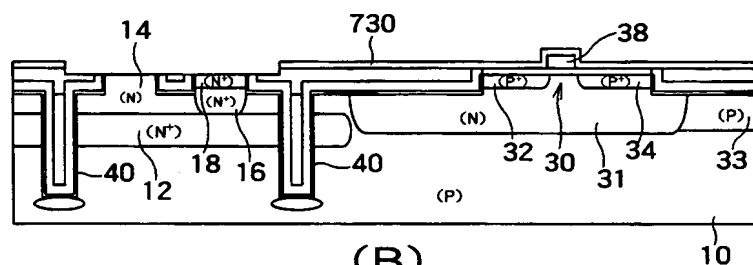
【図 6】



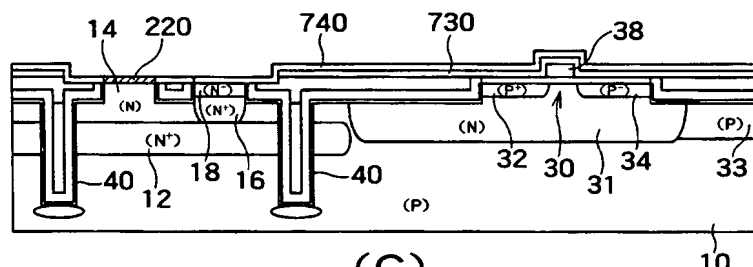
【图 7】



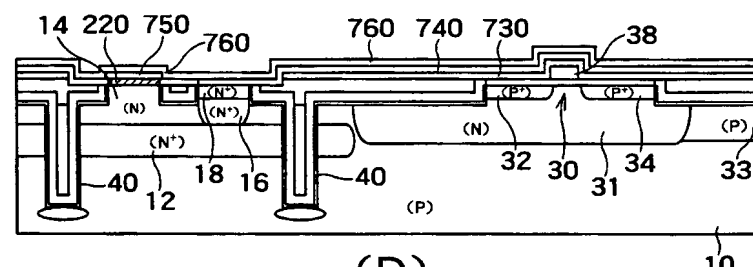
(A)



(B)

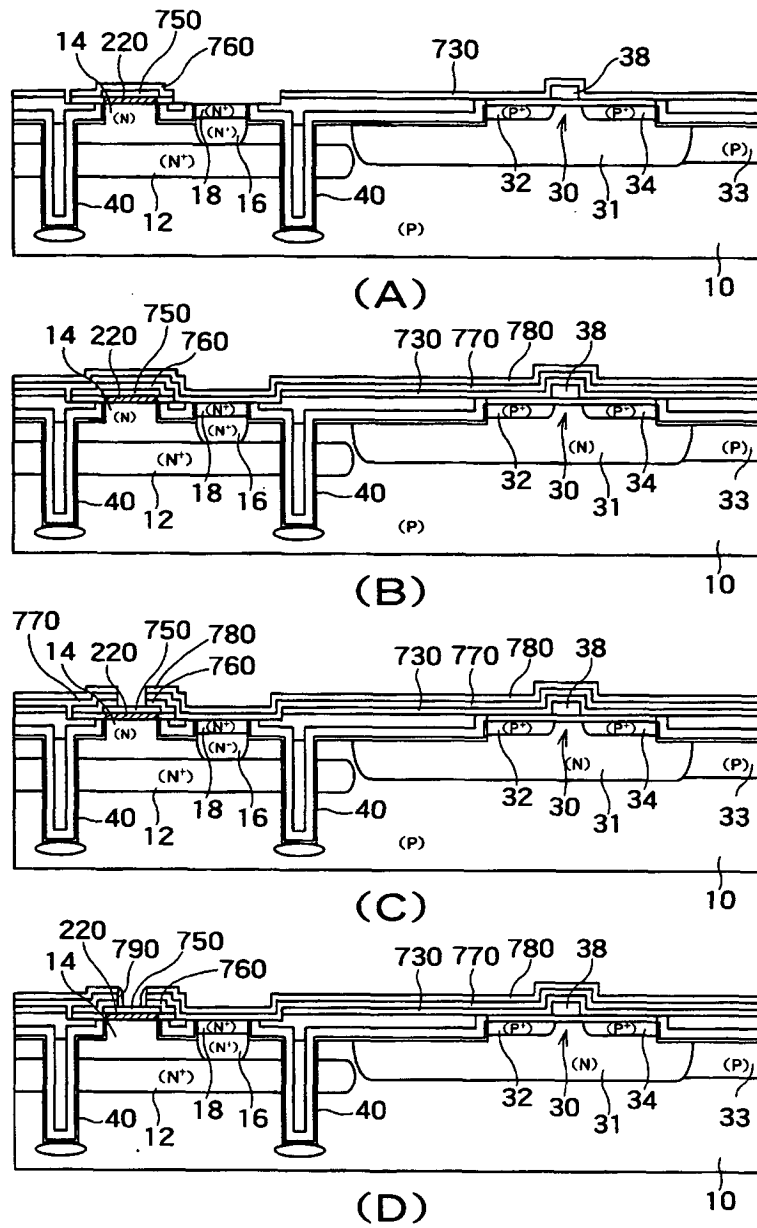


(C)

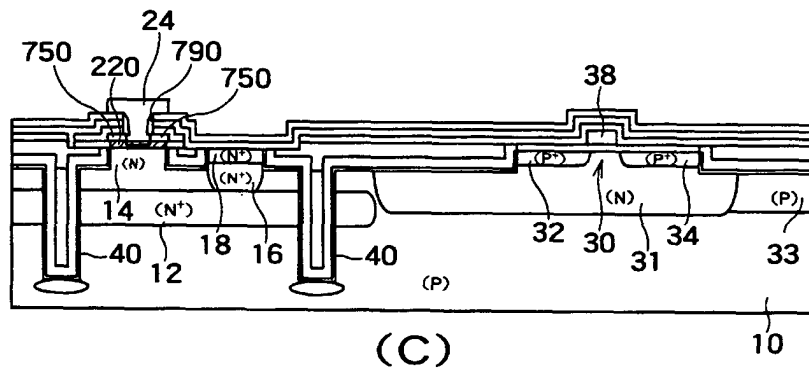
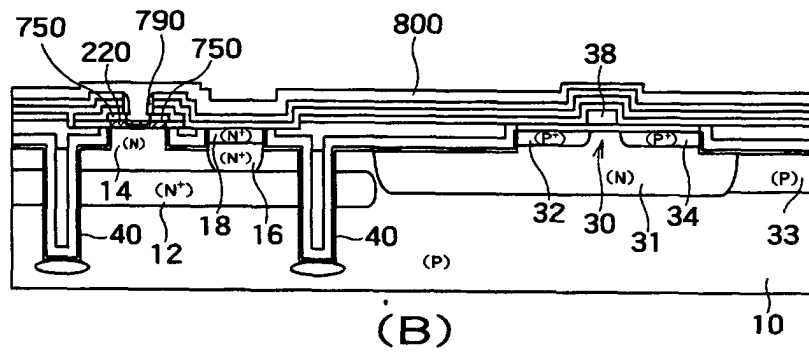
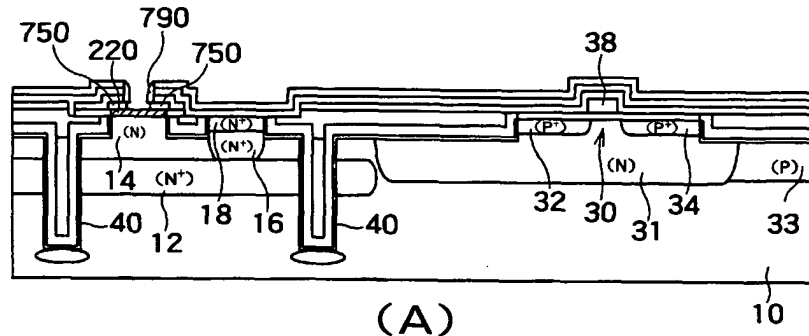


(D)

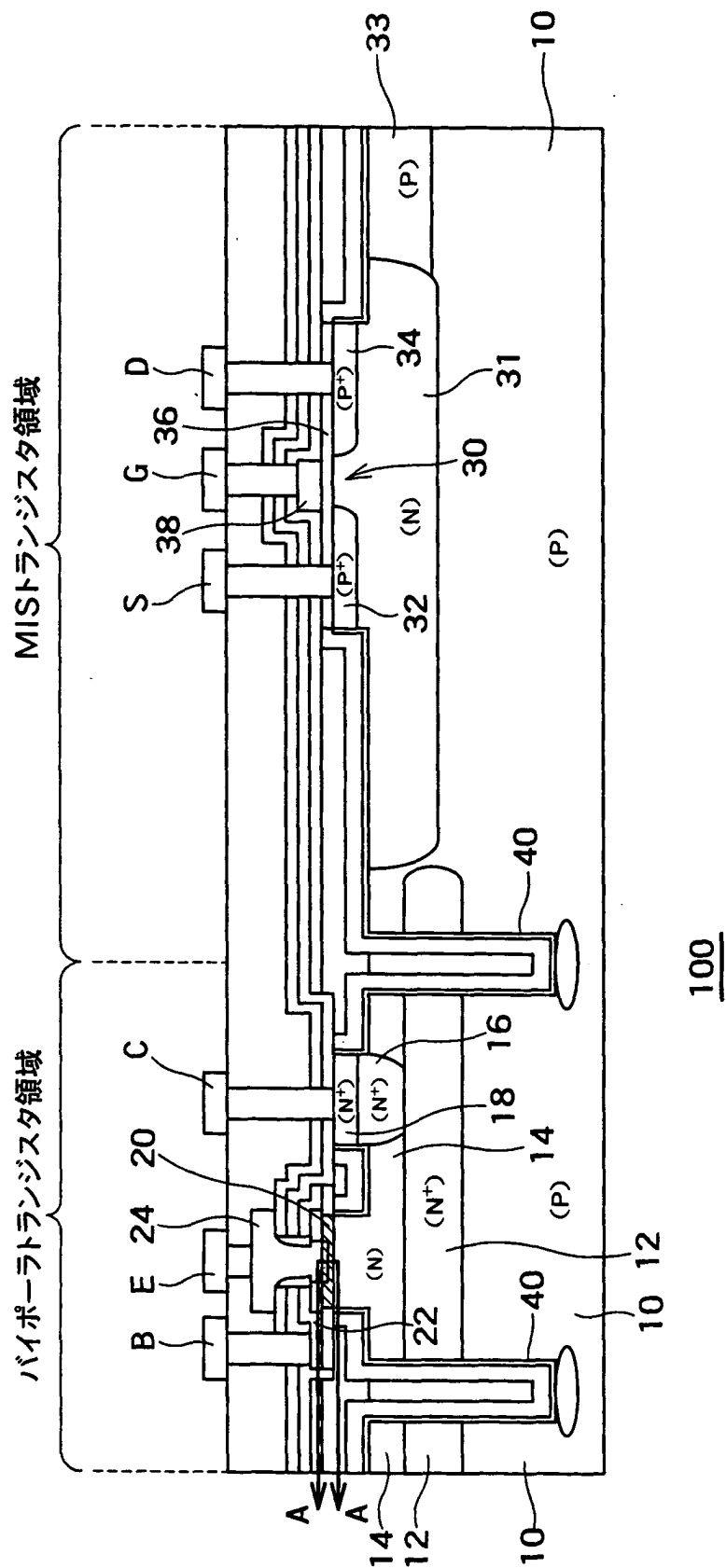
【図 8】



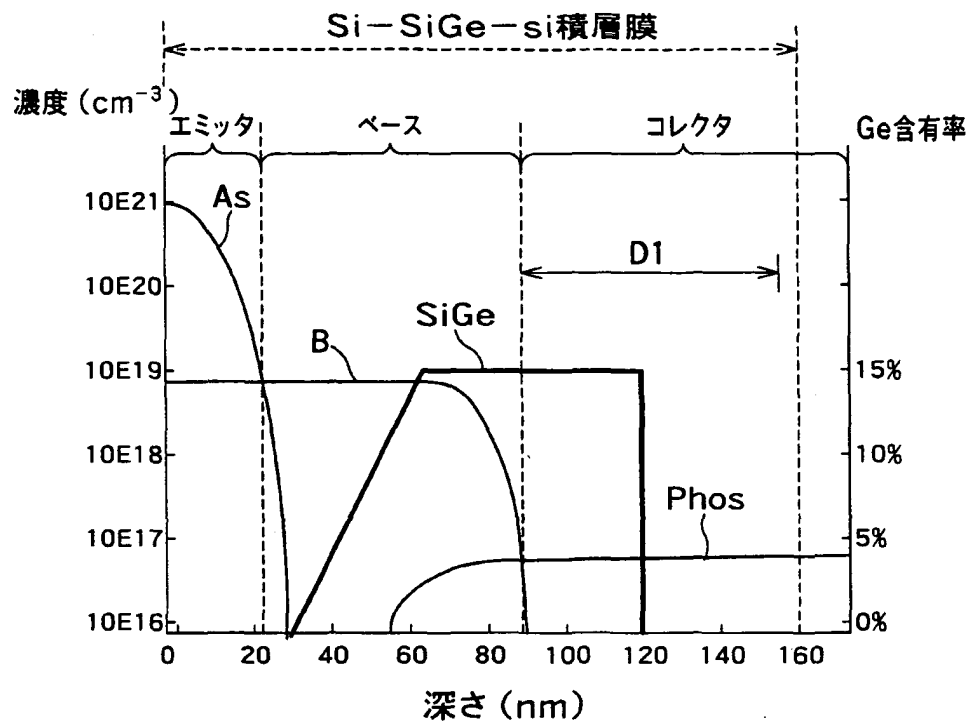
【図9】



【図 10】



【図11】



【書類名】 要約書

【要約】

【課題】 遮断周波数を高くするためにシリコンゲルマニウム（Si-Ge）の混晶を使用しつつも、エミッターコレクタ間耐圧が従来よりも高いバイポーラ・トランジスタを有する半導体装置を提供する。

【解決手段】 本発明による半導体装置 2 0 0 は、シリコン単結晶からなるコレクタ層と、コレクタ層に接しシリコン単結晶から成る第 1 のベース層 B 1 および第 1 のベース層 B 1 に接しシリコンゲルマニウムから成る第 2 のベース層 B 2 を含むベース層と、ベース層に接しシリコン単結晶からなり、該ベース層とヘテロ接合を形成するエミッタ層とを備えている。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝